

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-027435

(43)Date of publication of application : 04.02.1994

(51)Int.Cl.

G02F 1/133

G02F 1/133

G02F 1/133

G02F 1/136

G09G 3/36

(21)Application number : 04-180727

(71)Applicant : HITACHI LTD  
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 08.07.1992

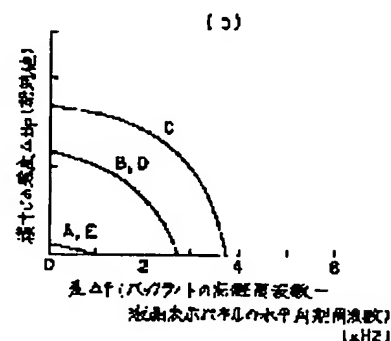
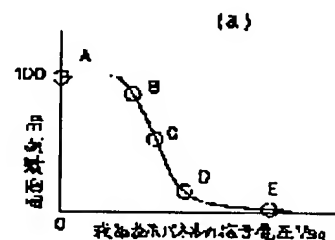
(72)Inventor : OWADA JUNICHI  
KAWAMURA HIDEO

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To prevent the generation of a horizontal stripe appearing on a screen of liquid crystal display panel by allowing a turn-on frequency of a back light, and a horizontal synchronizing frequency of the liquid crystal display panel to have a specific difference.

**CONSTITUTION:** As for generation of a horizontal stripe, the horizontal stripe appears most remarkably on a screen in the case of a halftone display of a display state of C. Also, with regard to a state of generation of the horizontal stripe, the larger a difference  $\Delta f$  between a turn-on frequency of a cold cathode fluorescent tube of a back light and a horizontal synchronizing frequency of a liquid crystal display panel becomes, the smaller intensity  $\Delta B_p$  of the horizontal stripe becomes, and when this difference  $\Delta f$  is  $\geq 4\text{kHz}$ , the horizontal stripe becomes invisible. That is, when the turn-on frequency of a back light and the horizontal synchronizing frequency of the liquid crystal display panel are allowed to have a difference of  $\geq$  about 4kHz, an interference effect of flickering (strength/weakness of luminance of high frequency) of the back light and flickering of the liquid crystal display panel can be eliminated, and generation of the horizontal stripe can be suppressed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-27435

(43)公開日 平成6年(1994)2月4日

| (51)Int.Cl. <sup>5</sup> | 識別記号  | 庁内整理番号  | F I | 技術表示箇所 |
|--------------------------|-------|---------|-----|--------|
| G 0 2 F 1/133            | 5 3 5 | 9226-2K |     |        |
|                          | 5 0 5 | 9226-2K |     |        |
|                          | 5 5 0 | 9226-2K |     |        |
| 1/136                    | 5 0 0 | 9018-2K |     |        |
| G 0 9 G 3/36             |       | 7319-5G |     |        |

審査請求 未請求 請求項の数1(全 29 頁)

(21)出願番号 特願平4-180727  
 (22)出願日 平成4年(1992)7月8日

(71)出願人 000005108  
 株式会社日立製作所  
 東京都千代田区神田駿河台四丁目6番地  
 (71)出願人 000233088  
 日立デバイスエンジニアリング株式会社  
 千葉県茂原市早野3681番地  
 (72)発明者 大和田 淳一  
 千葉県茂原市早野3300番地 株式会社日立  
 製作所茂原工場内  
 (72)発明者 川村 英夫  
 千葉県茂原市早野3681番地 日立デバイス  
 エンジニアリング株式会社内  
 (74)代理人 弁理士 小川 勝男

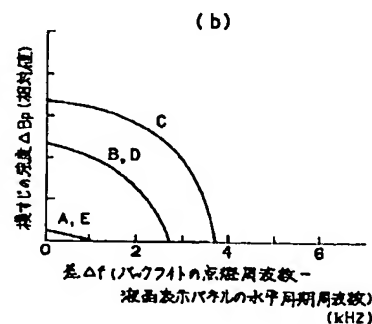
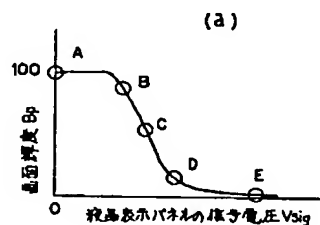
(54)【発明の名称】 液晶表示装置

(57)【要約】

【構成】バックライト(BL)の点燈周波数を、液晶表示パネル(PNL)の水平同期周波数より約4kHz以上高くした構成。

【効果】液晶表示パネルの画面に現われる横すじの発生を抑制することができ、表示品質を向上することができる。

図 43



## 【特許請求の範囲】

【請求項1】 バックライトの点燈周波数と、液晶表示パネルの水平同期周波数とを約4kHz以上の差をもたせたことを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶表示装置に係り、特に、薄膜トランジスタ等を使用したアクティブ・マトリクス方式の液晶表示装置に関する。

## 【0002】

【従来の技術】 アクティブ・マトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極のそれぞれに対応して非線形素子（スイッチング素子）を設けたものである。各画素における液晶は理論的には常時駆動（デューティ比1.0）されているので、時分割駆動方式を採用している、いわゆる単純マトリクス方式と比べてアクティブ方式はコントラストが良く、特にカラー液晶表示装置では欠かせない技術となりつつある。スイッチング素子として代表的なものとしては薄膜トランジスタ（TFT）がある。

【0003】 液晶表示部（液晶表示パネル）は、液晶層を基準として下部透明ガラス基板上に薄膜トランジスタ、透明画素電極、薄膜トランジスタの保護膜、液晶分子の向きを設定するための下部配向膜が順次設けられた下部基板と、上部透明ガラス基板上にブラックマトリクス、カラーフィルタ、カラーフィルタの保護膜、共通透明画素電極、上部配向膜が順次設けられた上部基板とを互いの配向膜が向き合うように重ね合わせ、基板の縁周囲に配置したシール材によって両基板を接合すると共に両基板間に液晶を封止する。なお、下部基板側にはバック

ライトが配置される。

【0004】 なお、薄膜トランジスタを使用したアクティブ・マトリクス方式の液晶表示装置は、例えば特開昭63-309921号公報や、「冗長構成を採用した12.5型アクティブ・マトリクス方式カラー液晶ディスプレイ」、日経エレクトロニクス、頁193～210、1986年12月15日、日経マグロウヒル社発行、で知られている。

## 【0005】

【発明が解決しようとする課題】 従来の液晶表示装置では、液晶表示パネルの水平同期周波数とバックライトの点燈周波数がほぼ等しい場合に、液晶表示パネルの画面に、水平方向に伸び、かつ、垂直方向に流れる波状の濃淡の横すじが発生し、表示品質が低下する問題があった。

【0006】 本発明の目的は、液晶表示パネルの画面に現われる横すじの発生を抑制することができる液晶表示装置を提供することにある。

## 【0007】

【課題を解決するための手段】 本発明によれば、バック

ライトの点燈周波数と、液晶表示パネルの水平同期周波数とを約4kHz以上の差をもたせた液晶表示装置が提供される。

## 【0008】

【作用】 バックライトの点燈周波数と、液晶表示パネルの水平同期周波数とを約4kHz以上の差をもたせたことにより、バックライトの点滅（高周波の輝度の強弱）と液晶表示パネルの点滅との干渉効果をなくすことができ、液晶表示パネルの画面に現われる横すじの発生を抑制することができる。

## 10 【0009】

【実施例】 本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

【0010】 《アクティブ・マトリクス液晶表示装置》以下、アクティブ・マトリクス方式のカラー液晶表示装置にこの発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

20 【0011】 《マトリクス部の概要》図1はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図、図2は図1の2-2切断線における断面を示す図、図3は図1の3-3切断線における断面図である。また、図4には図1に示す画素を複数配置したときの平面図を示す。

30 【0012】 図1に示すように、各画素は隣接する2本の走査信号線（ゲート信号線または水平信号線）GLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは列方向に延在し、行方向に複数本配置されている。映像信号線DLは行方向に延在し、列方向に複数本配置されている。

40 【0013】 図2に示すように、液晶LCを基準に下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。下部透明ガラス基板SUB1はたとえば1.1mm程度の厚さで構成されている。また、透明ガラス基板SUB1、SUB2の両面にはディップ処理等によって形成された酸化シリコン膜SIOが設けられている。このため、透明ガラス基板SUB1、SUB2の表面に鋭い傷があったとしても、鋭い傷を酸化シリコン膜SIOで覆うことができるので、その上にデポジットされる走査信号線GL、遮光膜BM等の膜質を均質に保つことができる。

50 【0014】 上部透明ガラス基板SUB2の内側（液晶LC側）の表面には、遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2（COM）および上部配向膜ORI2が順次積層して設けられ

ている。

【0015】《マトリクス周辺の概要》図16は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス（AR）周辺の要部平面を、図17はその周辺部を更に誇張した平面を、図18は図16及び図17のパネル左上角部に対応するシール部SL付近の拡大平面を示す図である。また、図19は図2の断面を中央にして、左側に図18の19a-19a切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子DTM付近の断面を示す図である。同様に図20は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0016】このパネルの製造では、小さいサイズであればスルーブット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図16～図18は後者の例を示すもので、図16、図17の両図とも上下基板SUB1、SUB2の切断後を、図18は切断前を表しており、LNは両基板の切断前の縁を、CT1とCT2はそれぞれ基板SUB1、SUB2の切断すべき位置を示す。いずれの場合も、完成状態では外部接続端子群Tg、Td（添字略）が存在する（図で上下辺と左辺の）部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP（図20、図21）の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためである。

【0017】透明ガラス基板SUB1、SUB2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一箇所において、本実施例ではパネルの4角で銀ペースト材AGPによって下部透明ガラス基板SUB1側に形成されたその引出配線INTに接続されている。この引出配線INTは後述するゲート端子GTM、ドレイン端子DTMと同一製造工程で形成される。

【0018】配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2、それぞれの層

は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0019】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0020】《薄膜トランジスタTFT》薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0021】各画素の薄膜トランジスタTFTは、画素内において2つ（複数）に分割され、薄膜トランジスタ（分割薄膜トランジスタ）TFT1およびTFT2で構成されている。薄膜トランジスタTFT1、TFT2のそれぞれは実質的に同一サイズ（チャネル長、チャネル幅が同じ）で構成されている。この分割された薄膜トランジスタTFT1、TFT2のそれぞれは、ゲート電極GT、ゲート絶縁膜GI、1型（真性、intrinsic、導電型決定不純物がドーパされていない）非晶質シリコン（S1）からなる1型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0022】《ゲート電極GT》ゲート電極GTは図5（図1の第2導電膜g2および1型半導体層ASのみを描いた平面図）に示すように、走査信号線GLから垂直方向（図1および図5において上方向）に突出する形状で構成されている（T字形状に分岐されている）。ゲート電極GTは薄膜トランジスタTFT1、TFT2のそれぞれの能動領域を越えるよう突出している。薄膜トランジスタTFT1、TFT2のそれぞれのゲート電極GTは、一体に（共通ゲート電極として）構成されており、走査信号線GLに連続して形成されている。本例では、ゲート電極GTは、単層の第2導電膜g2で形成されている。第2導電膜g2はたとえばスパッタで形成されたアルミニウム（A1）膜を用い、1000～550

5

0 Å程度の膜厚で形成する。また、ゲート電極GT上にはAlの陽極酸化膜AOFが設けられている。

【0023】このゲート電極GTは図1、図2および図5に示されているように、I型半導体層ASを完全に覆うよう（下方からみて）それより大き目に形成される。したがって、下部透明ガラス基板SUB1の下方に蛍光灯等のバックライトBLを取り付けた場合、この不透明なAlからなるゲート電極GTが影となって、I型半導体層ASにはバックライト光が当たらず、光照射による導電現象すなわち薄膜トランジスタTFTのオフ特性劣化は起きにくくなる。なお、ゲート電極GTの本来の大きさは、ソース電極SD1とドレイン電極SD2との間をまたがるに最低限必要な（ゲート電極GTとソース電極SD1、ドレイン電極SD2との位置合わせ余裕も含めて）幅を持ち、チャネル幅Wを決めるその奥行き長さはソース電極SD1とドレイン電極SD2との間の距離（チャネル長）Lとの比、すなわち相互コンダクタンス $gm$ を決定するファクタ $W/L$ をいくつにするかによって決められる。この液晶表示装置におけるゲート電極GTの大きさはもちろん、上述した本来の大きさよりも大きくされる。

【0024】《走査信号線GL》走査信号線GLは第2導電膜g2で構成されている。この走査信号線GLの第2導電膜g2はゲート電極GTの第2導電膜g2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にもAlの陽極酸化膜AOFが設けられている。

【0025】《絶縁膜GI》絶縁膜GIは薄膜トランジスタTFT1、TFT2のそれぞれのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIはたとえばプラズマCVDで形成された窒化シリコン膜を用い、1200~2700 Åの膜厚（この液晶表示装置では、2000 Å程度の膜厚）で形成する。ゲート絶縁膜GIは図18に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。

【0026】《I型半導体層AS》I型半導体層ASは、図5に示すように、複数の分割された薄膜トランジスタTFT1、TFT2のそれぞれのチャネル形成領域として使用される。I型半導体層ASは非晶質シリコン膜または多結晶シリコン膜で形成し、200~2200 Åの膜厚（この液晶表示装置では、2000 Å程度の膜厚）で形成する。

【0027】このI型半導体層ASは、供給ガスの成分を変えて $Si_3N_4$ からなるゲート絶縁膜として使用される絶縁膜GIの形成に連続して、同じプラズマCVD装置で、しかもそのプラズマCVD装置から外部に露出することなく形成される。また、オーミックコンタクト用のリン(P)を2.5%ドーピングしたN(+)型半導体層d

6

0（図2）も同様に連続して200~500 Åの膜厚（この液晶表示装置では、300 Å程度の膜厚）で形成される。しかる後、下部透明ガラス基板SUB1はCVD装置から外に取り出され、写真処理技術によりN(+)型半導体層d0およびI型半導体層ASは図1、図2および図5に示すように独立した島状にパターンニングされる。

【0028】I型半導体層ASは、図1および図5に示すように、走査信号線GLと映像信号線DLとの交差部（クロスオーバー部）の両者間にも設けられている。この交差部のI型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。

【0029】《透明画素電極ITO1》透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0030】透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザー光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すれば良い。なお、2つの薄膜トランジスタTFT1、TFT2に同時に欠陥が発生することは稀であり、このような冗長方式により点欠陥や線欠陥の確率を極めて小さくすることができる。透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜（Indium-Tin-Oxide ITO：ネサ膜）からなり、1000~2000 Åの膜厚（この液晶表示装置では、1400 Å程度の膜厚）で形成される。

【0031】《ソース電極SD1、ドレイン電極SD2》複数の分割された薄膜トランジスタTFT1、TFT2のそれぞれのソース電極SD1とドレイン電極SD2とは、図1、図2および図6（図1の第1~第3導電膜d1~d3のみを描いた平面図）に示すように、I型半導体層AS上にそれぞれ離隔して設けられている。

【0032】ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する下層側から、第2導電膜d2、第3導電膜d3を順次重ね合わせて構成されている。ソース電極SD1の第2導電膜d2および第3導電膜d3は、ドレイン電極SD2の第2導電膜d2および第3導電膜d3と同一製造工程で形成される。

【0033】第2導電膜d2はスパッタで形成したクロム(Cr)膜を用い、500~1000 Åの膜厚（この液晶表示装置では、600 Å程度の膜厚）で形成する。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000 Å程度の膜厚を越えない範囲で形成する。Cr膜はN(+)型半導体層d0との接触が良好である。Cr膜は後述する第3導電膜d3のAlがN(+)型半導

体層d0に拡散することを防止するいわゆるバリア層を構成する。第2導電膜d2として、Cr膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoS<sub>2</sub>、TiS<sub>2</sub>、TaS<sub>2</sub>、WS<sub>2</sub>)膜を用いてもよい。

【0034】第3導電膜d3はA1のスパッタリングで3000~5000Åの膜厚(この液晶表示装置では、4000Å程度の膜厚)に形成される。A1膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減するように構成されている。第3導電膜d3として純A1膜の他にシリコンや銅(Cu)を添加物として含有させたA1膜を用いてもよい。

【0035】第2導電膜d2、第3導電膜d3を同じマスクパターンでパターンニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N(+)型半導体層d0が除去される。つまり、1型半導体層AS上に残っていたN(+)型半導体層d0は第2導電膜d2、第3導電膜d3以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さは全て除去されるようエッチングされるので、1型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0036】ソース電極SD1は透明画素電極ITO1に接続されている。ソース電極SD1は、1型半導体層AS段差(第2導電膜g2の膜厚、陽極酸化膜AOFの膜厚、1型半導体層ASの膜厚およびN(+)型半導体層d0の膜厚を加算した膜厚に相当する段差)に沿って構成されている。具体的には、ソース電極SD1は、1型半導体層ASの段差に沿って形成された第2導電膜d2と、この第2導電膜d2の上部に形成した第3導電膜d3とで構成されている。ソース電極SD1の第3導電膜d3は第2導電膜d2のCr膜がストレスの増大から厚く形成できず、1型半導体層ASの段差形状を乗り越えられないので、この1型半導体層ASを乗り越えるために構成されている。つまり、第3導電膜d3は厚く形成することでステップカバレージを向上している。第3導電膜d3は厚く形成できるので、ソース電極SD1の抵抗値(ドレイン電極SD2や映像信号線DLについても同様)の低減に大きく寄与している。

【0037】《保護膜PSV1》薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1μm程度の膜厚で形成する。

【0038】保護膜PSV1は図18に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去され、また上基板側SUB2の共通電極COMを下側基板SUB1の外部接続端子接続用引出配線INTに銀ペーストAGPで接続する部分も除去されている。保護膜PSV1とゲート絶縁膜G1の厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを薄くされる。従って図18に示すように、保護効果の高い保護膜PSV1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜G1よりも大きく形成されている。

【0039】《遮光膜BM》上部透明ガラス基板SUB2側には、外部光(図2では上方からの光)がチャネル形成領域として使用される1型半導体層ASに入射されないように、遮光膜BMが設けられ、遮光膜BMは図7のハッチングに示すようなパターンとされている。なお、図7は図1におけるITO膜からなる第1導電膜d1、カラーフィルタFILおよび遮光膜BMのみを描いた平面図である。遮光膜BMは光に対する遮蔽性が高いたとえばアルミニウム膜やクロム膜等で形成されており、この液晶表示装置ではクロム膜がスパッタリングで1300Å程度の膜厚に形成される。

【0040】従って、薄膜トランジスタTFT1、TFT2の1型半導体層ASは上下にある遮光膜BMおよび大きなゲート電極GTによってサンドイッチにされ、その部分は外部の自然光やバックライト光が当たらなくなる。遮光膜BMは図7のハッチング部分で示すように、画素の周囲に形成され、つまり遮光膜BMは格子状に形成され(ブラックマトリクス)、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMは1型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0041】また、透明画素電極ITO1のラビング方向の根本側のエッジ部に対向する部分(図1右下部分)が遮光膜BMによって遮光されているから、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0042】なお、バックライトを上部透明ガラス基板SUB2側に取り付け、下部透明ガラス基板SUB1を観察側(外部露出側)とすることもできる。

【0043】遮光膜BMは周辺部にも図17に示すように額縁状のパターンに形成され、そのパターンはドット状に複数の開口を設けた図7に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは図17~図20に示すように、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3~1.

0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0044】《カラーフィルタFIL》カラーフィルタFILはアクリル樹脂等の樹脂材料で形成される染色基材に染料を着色して構成されている。カラーフィルタFILは画素に対向する位置にストライプ状に形成され

(図8)、染め分けられている(図8は図4の第1導電膜d1、遮光膜BMおよびカラーフィルタFILのみを描いたもので、B、R、Gの各カラーフィルタFILはそれぞれ、45°、135°、クロスのハッチを施してある)。カラーフィルタFILは図7、9に示すように透明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0045】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面に染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0046】《保護膜PSV2》保護膜PSV2はカラーフィルタFILを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0047】《共通透明画素電極ITO2》共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差(電界)にตอบสนองして変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。本実施例では、コモン電圧Vcomは映像信号線DLに印加されるロウレベルの駆動電圧Vdminとハイレベルの駆動電圧Vdmaxとの中間電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。なお、共通透明画素電極ITO2の平面形状は図17、図18を参照されたい。

【0048】《ゲート端子部》図9は表示マトリクス of 走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、(A)は平面であり(B)は(A)のB-B切断線における断面を示している。なお、同図は図18下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0049】AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンであ

る。従って、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、ゲート配線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたAL層g2は表面にその酸化物Al<sub>2</sub>O<sub>3</sub>膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。マスクパターンAOは走査線GLに単一の直線では交差せず、クランク状に折れ曲がって交差させている。

【0050】図中AL層g2は、判り易くするためハッチを施してあるが、陽極酸化されない領域は櫛状にパターンニングされている。これは、A1層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。従って、本例では櫛の根本に相当する部分もマスクAOに沿ってずらしている。

【0051】ゲート端子GTMは酸化珪素SiO層と接着性が良くAl等よりも耐電蝕性の高いCr層g1と、更にその表面を保護し画素電極ITO1と同レベル(同層、同時形成)の透明導電層d1とで構成されている。なお、ゲート絶縁膜GI上及びその側面部に形成された導電層d2及びd3は、導電層d3やd2のエッチング時ピンホール等が原因で導電層g2やg1と一緒にエッチングされないようその領域をホトレジストで覆っていた結果として残っているものである。又、ゲート絶縁膜GIを乗り越えて右方向に延長されたITO層d1は同様な対策を更に万全とさせたものである。

【0052】平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電氣的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図18に示すように上下に複数本並べられ端子群Tg(図17、図18)が構成され、ゲート端子の左端は、製造過程では、基板の切断領域CT1を越えて延長され配線SHgによって短絡される。製造過程におけるこのような短絡線SHgは陽極化成時の給電と、配向膜ORI1のラビング時等の静電破壊防止に役立つ。

【0053】《ドレイン端子DTM》図10は映像信号線DLからその外部接続端子DTMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図18右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部(又は下端部)に該当す



る。

【0054】TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広がられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広がられている。検査端子TSTdと外部接続ドレイン端子DTMは上下方向に千鳥状に複数交互に配列され、検査端子TSTdは図に示すとおり基板SUB1の端部に到達することなく終端しているが、ドレイン端子DTMは、図18に示すように端子群Td（添字省略）を構成し基板SUB1の切断線CTIを越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SHdによって短絡される。検査端子TSTdが存在する映像信号線DLのマトリクスを挟んで反対側にはドレイン接続端子が接続され、逆にドレイン接続端子DTMが存在する映像信号線DLのマトリクスを挟んで反対側には検査端子が接続される。

【0055】ドレイン接続端子DTMは前述したゲート端子GTMと同様な理由でCr層g1及びITO層d1の2層で形成されており、ゲート絶縁膜GIを除去した部分で映像信号線DLと接続されている。ゲート絶縁膜GIの端部上に形成された半導体層ASはゲート絶縁膜GIの縁をテーパ状にエッチングするためのものである。端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。AOは前述した陽極酸化マスクでありその境界線はマトリクス全体を大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には層g2が存在しないのでこのパターンは直接は関係しない。

【0056】マトリクス部からドレイン端子部DTMまでの引出配線は図19の(C)部にも示されるように、ドレイン端子部DTMと同じレベルの層d1、g1のすぐ上に映像信号線DLと同じレベルの層d2、d3がシールパターンSLの途中まで積層された構造になっているが、これは断線の確率を最小限に押さえ、電触し易いA1層d3を保護膜PSV1やシールパターンSLでできるだけ保護する狙いである。

【0057】《保持容量素子Caddの構造》透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図1、図3からも明らかなように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜AOFで構成されている。

【0058】保持容量素子Caddは、図5からも明らかなように、走査信号線GLの第2導電膜g2の幅を広げ

た部分に形成されている。なお、映像信号線DLと交差する部分の第2導電膜g2は映像信号線DLとの短絡の確率を小さくするため細くされている。

【0059】保持容量素子Caddの電極PL1の段差部において透明画素電極ITO1が断線しても、その段差をまたがるように形成された第2導電膜d2および第3導電膜d3で構成された島領域によってその不良は補償される。

【0060】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図11に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0061】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。

【0062】映像信号線X（添字省略）は交互に上側（または奇数）映像信号駆動回路He、下側（または偶数）映像信号駆動回路Hoに接続されている。

【0063】走査信号線Y（添字省略）は垂直走査回路Vに接続されている。

【0064】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0065】《保持容量素子Caddの等価回路とその動作》図1に示される画素の等価回路を図12に示す。図12において、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量である。寄生容量Cgsの誘電体膜は絶縁膜GIおよび陽極酸化膜AOFである。Cpixは透明画素電極ITO1（PIX）と共通透明画素電極ITO2（COM）との間に形成される液晶容量である。液晶容量Cpixの誘電体膜は液晶LC、保護膜PSV1および配向膜ORI1、ORI2である。Vlcは中点電位である。

【0066】保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位（画素電極電位）Vlcに対するゲート電位変化ΔVgの影響を低減するように働く。この様子を式で表すと、次式のようになる。

$$\Delta V_{lc} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\} \times \Delta V_g$$

ここで、ΔVlcはΔVgによる中点電位の変化分を表わす。この変化分ΔVlcは液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小さくすることができる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジス

タTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0068】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量Cgsが大きくなり、中点電位Vlcはゲート（走査）信号Vgの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子Caddを設けることによりこのデメリットも解消することができる。

【0069】保持容量素子Caddの保持容量は、画素の書込特性から、液晶容量Cpixに対して4～8倍（ $4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$ ）、寄生容量Cgsに対して8～3.2倍（ $8 \cdot C_{gs} < C_{add} < 3.2 \cdot C_{gs}$ ）程度の値に設定する。

【0070】《保持容量素子Cadd電極線の結線方法》保持容量電極線としてのみ使用される初段の走査信号線GL(Yo)は、図11に示すように、共通透明画素電極ITO2(Vcom)と同じ電位にする。図18の例では、初段の走査信号線は端子GT0、引出線INT、端子DT0及び外部配線を通じて共通電極COMに短絡される。或いは、初段の保持容量電極線Yoは最終段の走査信号線Yendに接続、Vcom以外の直流電位点（交流接地点）に接続するかまたは垂直走査回路Vから1つ余分に走査パルスYoを受けると接続してもよい。

【0071】《外部回路との接続構造》図21は走査信号駆動回路Vや映像信号駆動回路He、Hoを構成する、集積回路チップCHIがフレキシブル配線基板（通称TAB、Tape Automated Bonding）に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図22はそれを液晶表示パネルの、本例では映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【0072】同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部（通称インナーリード）には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部（通称アウターリード）はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子DTMを露出した保護膜PSVIを覆うようにパネルに接続されており、従って、外部接続端子DTM(GTM)は保護膜PSVIがパッケージTCPの少なくとも一方で覆われるので電触に対し

て強くなる。

【0073】BF1はポリイミド等からなるベースフィルムであり、SRsは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンSLの外側の上下ガラス基板の隙間は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコン樹脂SILが充填され保護が多重化されている。

【0074】《製造方法》つぎに、上述した液晶表示装置の基板SUB1側の製造方法について図13～図15を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図2に示す画素部分、右側は図9に示すゲート端子付近の断面形状でみた加工の流れを示す。工程Dを除き工程A～工程Iは各写真処理に対応して分けられたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトレジストを除去した段階を示している。なお、写真処理とは本説明ではフォトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下分けられた工程に従って、説明する。

【0075】工程A、図13

7059ガラス（商品名）からなる下部透明ガラス基板SUB1の両面に酸化シリコン膜SIOをディップ処理により設けたのち、500℃、60分間のバークを行なう。下部透明ガラス基板SUB1上に膜厚が1100Åのクロムからなる第1導電膜g1をスパッタリングにより設け、写真処理後、エッチング液として硝酸第2セリウムアンモニウム溶液で第1導電膜g1を選択的にエッチングする。それによって、ゲート端子GTM、ドレイン端子DTM、ゲート端子GTMを接続する陽極酸化バスラインSHg、ドレイン端子DTMを短絡するバスラインSHd、陽極酸化バスラインSHgに接続された陽極酸化パッド（図示せず）を形成する。

【0076】工程B、図13

膜厚が2800ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第2導電膜g2をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混酸液で第2導電膜g2を選択的にエッチングする。

【0077】工程C、図13

写真処理後（前述した陽極酸化マスクAO形成後）、3%酒石酸をアンモニアによりPH6.25±0.05に調整した溶液をエチレングリコール液で1:9に稀釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が0.5mA/cm<sup>2</sup>になるように調整する（定電流化成）。次に所定のAl<sub>2</sub>O<sub>3</sub>膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい（定電圧化成）。これは均一なAl<sub>2</sub>O<sub>3</sub>膜を得る上で大事なことで

ある。それによって、導電膜g2を陽極酸化され、走査信号線GL、ゲート電極GTおよび電極PL1上に膜厚が1800Åの陽極酸化膜AOFが形成される

工程D、図14

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2000Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN(+)型非晶質Si膜を設ける。

【0078】工程E、図14

写真処理後、ドライエッチングガスとしてSF<sub>6</sub>、CCl<sub>4</sub>を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

【0079】工程F、図14

写真処理後、ドライエッチングガスとしてSF<sub>6</sub>を使用して、窒化Si膜を選択的にエッチングする。

【0080】工程G、図15

膜厚が1400ÅのITO膜からなる第1導電膜d1をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で第1導電膜d1を選択的にエッチングすることにより、ゲート端子GTM、ドレイン端子DTMの最上層および透明画素電極ITO1を形成する。

【0081】工程H、図15

膜厚が600ÅのCrからなる第2導電膜d2をスパッタリングにより設け、さらに膜厚が4000ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第3導電膜d3をスパッタリングにより設ける。写真処理後、第3導電膜d3を工程Bと同様な液でエッチングし、第2導電膜d2を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。つぎに、ドライエッチング装置にCCl<sub>4</sub>、SF<sub>6</sub>を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

【0082】工程I、図15

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1μmの窒化Si膜を設ける。写真処理後、ドライエッチングガスとしてSF<sub>6</sub>を使用した写真蝕刻技術で窒化Si膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

【0083】《液晶表示モジュールの全体構成》図23は、液晶表示モジュールMDLの分解斜視図であり、各構成部品の具体的な構成は図24～図39に示す。

【0084】SHDは金属板から成るシールドケース(=メタルフレーム)、LCWは液晶表示窓、PNLは液晶表示パネル、SPBは光拡散板、MFRは中間フレ

ーム、BLはバックライト、BLSはバックライト支持体、LCAは下側ケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールMDLが組み立てられる。

【0085】モジュールMDLは、下側ケースLCA、中間フレームMFR、シールドケースSHDの3種の保持部材を有する。これらの3部材はそれぞれ略箱状を成し、上記記載順に重箱式に積み重ねられ、シールドケースSHDによって各部品を搭載した他の2部材を保持する構成になっている。表示パネルPNLと光拡散板SPBは一旦中間フレームMFR上に置くことができ、4本のバックライト(冷陰極蛍光管)BLを支持するバックライト支持体BLSは下側ケースLCA上に一旦置くことができる。従って、下側ケースLCAと中間フレームMFRの2部材にそれぞれ必要な部品を実装しながらこの2部材をひっくり返すことなく積み重ねて製造することができるので、製造を容易に行うことができ、組立性が良く、信頼性の高い装置を提供できる利点がある。これが本モジュールの1つの大きな特徴である。

【0086】以下、各部材について詳しく説明する。

【0087】《シールドケースSHD》図24は、シールドケースSHDの上面、前側面、後側面、右側面、左側面を示す図であり、図25は、シールドケースSHDを斜め上方からみたときの斜視図である。

【0088】シールドケース(メタルフレーム)SHDは、1枚の金属板をプレス加工技術により、打ち抜きや折り曲げ加工により作製される。LCWは表示パネルPNLを視野に露出する開口を示し、以下表示窓と称す。

【0089】CLは中間フレームMFR固定用爪(全部で19個)、FKは下側ケースLCA固定用フック(全部で9個)であり、シールドケースSHDに一体に設けられている。図に示された状態の固定用爪CLは組立て時、それぞれ内側に折り曲げられて中間フレームMFRに設けられた四角い固定用爪穴CLH(図27の各側面図参照)に挿入される。これにより、シールドケースSHDが表示パネルPNL等を保持・収納する中間フレームMFRを保持し、両者がしっかりと固定される。固定用フックFKは、それぞれ下側ケースLCAに設けた固定用突起FKP(図34の各側面図参照)に嵌合される。これにより、シールドケースSHDがバックライトBL、バックライト支持体BLS等を保持・収納する下側ケースLCAを保持し、両者がしっかりと固定される。なお、中間フレームMFRと下側ケースLCAとは周縁部において嵌合し、また、シールドケースSHDは中間フレームMFRに被覆・嵌合し、3部材は合体するようになっている。また、表示パネルPNLの上面および下面の表示に影響を与えない四方の縁周囲には薄く細長い長方形のゴムスペーサ(ゴムクッション。図示省略)が設けられている。上面側のゴムスペーサは、表示パネルPNLとシールドケースSHDとの間に介在さ

れ、下面側のゴムスペーサは、表示パネルPNLと中間フレームMFR及び光拡散板SPBとの間に介在される。これらのゴムスペーサの弾性を利用して、シールドケースSHDを装置内部方向に押し込むことにより固定用フックFKが固定用突起FKPにかかり、両固定用部材がストッパとして機能し、さらに、固定用爪CLが折り曲げられ、爪穴CLHに挿入されて、シールドケースSHDにより中間フレームMFRと下側ケースLCAが固定され、モジュール全体が一体となってしっかりと保持され、他の固定用部材が不要である。従って、組立が容易で製造コストを低減できる。また、機械的強度が大きく、耐振動衝撃性を向上でき、装置の信頼性を向上できる。また、固定用爪CLと固定用フックFKは取り外しが容易なため（固定用爪CLの折り曲げを延ばし、固定用フックFKを外すだけ）、3部材の分解・組立が容易なので、修理が容易で、バックライトBLの交換も容易である（バックライト交換などで外す率が高い下側ケースLCAの固定用フックFKの方が固定用爪CLより取り外し易くなっている）。なお、本モジュールでは下側ケースLCAと中間フレームMFRは上記固定用部材による取付けの他、それぞれ4個ずつ設けた下側ケースLCAのねじ穴が設けられた貫通孔LHL（図34～図36参照）と中間フレームMFRのねじ穴MVH（図28参照）とねじにより更にねじ止めされている。

【0090】COHは共通貫通穴である。共通貫通穴COHは、このシールドケースSHDの他、表示パネルPNLの駆動回路基板PCB1、中間フレームMFRの駆動回路基板PCB2、中間フレームMFR、下側ケースLCAに2個ずつ共通して（同じ平面位置に）設けられた貫通穴で、製造時、固定して立てたピンに下側ケースLCAから順に各共通貫通穴COHを挿入して各部品を実装していくことにより、各部材・各部品の相対位置を精度良く設定するためのものである。また、当該モジュールMDLをパソコン等の応用製品に実装するとき、この共通貫通穴COHを位置決め基準とすることができる。

【0091】FGは金属性シールドケースSHDと一体に形成された6個のフレームグランドで、シールドケースSHDに開けられた「コ」の字状の開口、換言すれば、四角い開口部中に延びた細長い突起部により構成される。この細長い突起部が、それぞれ装置内部へ向かう方向に折り曲げられ、表示パネルPNLの駆動回路基板PCB1のグランドラインが接続されたフレームグランドパッドFGP（図26）に半田付けにより接続された構造になっている。

【0092】《表示パネルPNLと駆動回路基板PCB1》図26は、図16等にした表示パネルPNLに駆動回路を実装した状態を示す上面図である。

【0093】CHIは表示パネルPNLを駆動させる駆動ICチップ（下側の3個は垂直走査回路側の駆動IC

チップ、左右の6個ずつは映像信号駆動回路側の駆動ICチップ）である。TCPは図21、図22で説明したように駆動用ICチップCHIがテープオートメイトボンディング法（TAB）により実装されたテープキャリアパッケージ、PCB1はそれぞれTCPやコンデンサCDS等が実装されたPCB（プリントドサーキットボード）から成る駆動回路基板で、3つに分割されている。FGPはフレームグランドパッドである。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1、および下側の駆動回路基板PCB1と右側の駆動回路基板PCB1とを電気的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、複数のリード線（りん青銅の素材にSn鍍金を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【0094】《駆動回路基板PCB1》駆動回路基板PCB1は、図26に示すように、3個に分割され、表示パネルPNLの回りに「コ」字状に配置され、2個のフラットケーブルFCによってそれぞれ電気的、機械的に接続されている。駆動回路基板PCB1は分割されているので、表示パネルPNLと駆動回路基板PCB1との熱膨張率の差により駆動回路基板PCB1の長軸方向に生じる応力（ストレス）がフラットケーブルFCの箇所吸収され、接続強度が弱いテープキャリアパッケージTCPテープの出力リード（図21、図22のTMM）と表示パネルの外部接続端子DTM（GTM）の剥がれが防止でき、熱に対するモジュールの信頼性を向上できる。このような基板の分割方式は、更に、1枚の「コ」の字状基板に比べて、それぞれが矩形上の単純な形状であるので1枚の基板材料から多数枚の基板PCB1が取得できプリント基板材料の利用率が高くなり、部品・材料費が低減できる（本実施例の場合は約50%に低減）効果が有る。なお、駆動回路基板PCB1は、PCBの代わりに柔軟なFPC（フレキシブル プリンティドサーキット）を使用すると、FPCはたわむのでリード剥がれ防止効果をいっそう高めることができる。また、分割しない一体型の「コ」の字状のPCBを用いることもでき、その場合は工数の低減、部品点数削減による製造工程管理の単純化、PCB間接続ケーブルの廃止による信頼性向上に効果が有る。

【0095】3個に分割された各駆動回路基板PCB1の各グランドラインに接続されたフレームグランドパッドFGPは、図26に示すように、各基板毎に2個ずつ合計6個設けてある。駆動回路基板PCB1が複数に分割されている場合、直流的には駆動回路基板のうち少なくとも1ヶ所がフレームグランドに接続されていれば、電気的な問題は起きないが、高周波領域ではその箇所が少ないと、各駆動回路基板の特性インピーダンスの違い等により電気信号の反射、グランドラインの電位が振ら

れる等が原因で、EMI（エレクトロ マグネティック インタフィアレンス）を引き起こす不要な輻射電波の発生ポテンシャルが高くなる。特に、薄膜トランジスタを用いたモジュールMDLでは、高速のクロックを用いるので、EMI対策が難しい。これを防止するために、複数の分割された各駆動回路基板PCB1毎に少なくとも1ヶ所、本実施例では2ヶ所でグラウンド配線（交流接地電位）をインピーダンスが十分に低い共通のフレーム（すなわち、シールドケースSHD）に接続する。これにより、高周波領域におけるグラウンドラインが強化されるので、全体で1ヶ所だけシールドケースSHDに接続した場合と比較すると、本実施例の6ヶ所の場合は輻射の電界強度で5dB以上の改善が見られた。

【0096】シールドケースSHDのフレームグラウンドFGは、金属の細長い突起部で構成され、折り曲げることにより容易に表示パネルPNLのフレームグラウンドパッドFGPに接続でき、接続用の特別のワイヤ（リード線）が不要である。また、フレームグラウンドFGを介してシールドケースSHDと駆動回路基板PCB1とを機械的にも接続できるので、駆動回路基板PCB1の機械的強度も向上できる。

【0097】《中間フレームMFR》図27は、中間フレームMFRの上面図、前側面図、後側面図、右側面図、左側面図、図28は、中間フレームMFRの下面図、図29は、中間フレームMFRの上面側から見た斜視図である。

【0098】中間フレームMFRは駆動回路基板PCB1と一体に構成された液晶表示部LCD、光拡散板SPB、L字形の駆動回路基板PCB2の保持部材である。

【0099】BLWはバックライトBLの光を液晶表示部LCDへ取り込むためのバックライト光取り入れ窓で、ここに光拡散板SPBが載置・保持される。SPBSは、光拡散板SPBの保持部である。RDWは放熱穴、CWは外部と接続されるコネクタ用の切欠きである。MVHは4個のねじ穴であり、このねじ穴MVHと下側ケースLCAの貫通穴LHL（図34～図36参照）を介して図示しないねじにより下側ケースLCAと中間フレームMFRとが固定される。CLHはシールドケースSHDの固定用爪CLが挿入される固定用爪穴である（図27の各側面図、図29参照）。2HLは駆動回路基板PCB2（図30参照）の固定用穴で、ナイロンリベット等の止め具が挿入される。L字形の駆動回路基板PCB2は図27の中間フレームMFRの上面図の右および下の縁のL字領域に配置される。なお、中間フレームMFRは、バックライト支持体BLS、下側ケースLCAと同じ白色の合成樹脂により形成されている。また、中間フレームMFRは、合成樹脂で作られているので、駆動回路基板PCB1および駆動回路基板PCB2の絶縁上有利である。

【0100】《光拡散板SPB》光拡散板SPB（図2

3参照）は、中間フレームMFRのバックライト光取り入れ窓BLWの四方の周縁部に設けられた保持部SPBS（図27、図29参照。中間フレームMFRの上面より低い）上で保持される。光拡散板SPBを保持部SPBS上に載置すると、光拡散板SPBの上面と中間フレームMFRの上面とは同一平面になる。光拡散板SPBの上には、駆動回路基板PCB1と一体となった液晶表示部LCDが載置される。液晶表示部LCDと光拡散板SPBとの間には、液晶表示部LCDの下面の四方の縁周囲に配置された4本のゴムスペーサ（図示省略。《シールドケースSHD》の説明の欄参照）が介在し、液晶表示部LCDと光拡散板SPBとの間がこれらのゴムスペーサにより密閉されている。すなわち、光拡散板SPBは中間フレームMFR（枠体）上に載置され、光拡散板SPBの上面は、液晶表示部LCDによって覆われ、かつ、液晶表示部LCDと光拡散板SPBとの間隙はゴムスペーサによって完全に密閉されている（光拡散板SPBと液晶表示部LCDとを中間フレームMFRを用いてバックライト部と独立に一体化・固定化した）。従って、液晶表示部LCDと光拡散板SPBとの間に異物が侵入したり、表示領域以外に静電気等により付着していた異物が表示領域に移動したりして表示品質が低下する問題を抑制できる。なお、光拡散板SPBは光拡散シートと比較して厚いので、光拡散板SPB下面側の異物の存在は目立たない。また、光拡散板SPBの下面側に存在する異物は、液晶表示部LCDから遠いので、焦点を結びにくく、像が拡散してしまうので、ほとんど問題とならない。さらに、光拡散板SPBと液晶表示部LCDとを順に中間フレームMFRに保持させる構成なので、組立性も良い。

【0101】《駆動回路基板PCB2》図30は、駆動回路基板PCB2の下面図である。中間フレームMFRに保持・収納される液晶表示部LCDの駆動回路基板PCB2は、図30に示すように、L字形をしており、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路が搭載されている。CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。なお、駆動回路基板PCB2と駆動回路基板PCB1とは、図31に示すように、フラットケーブルFCにより電氣的に接続される（詳細後述）。また、駆動回路基板PCB2とインバータ回路基板IPCとは、駆動回路基板PCB2のバックライト接続部BC2およびインバータ回路基板IPCのバックライト接続部BCIに接続される図示しないバックライトコネクタおよびバックライトケーブルにより、中間フレームMFRに設けたコネクタ穴CHL（図27～図29参照）を介して

電氣的に接続される。

【0102】《駆動回路基板PCB1と駆動回路基板PCB2との電氣的接続》図31は、液晶表示部LCDの駆動回路基板PCB1（上面が見える）と中間フレームMFRの駆動回路基板PCB2（下面が見える）との接続状態を示す上面図である。

【0103】液晶表示部LCDと駆動回路基板PCB2とは折り曲げ可能なフラットケーブルFCにより電氣的に接続されている。この状態で動作チェックを行うことができる。駆動回路基板PCB2は、フラットケーブルFCを180°折り曲げることにより、液晶表示部LCDの下面側に重ねて配置され、中間フレームMFRの所定の凹部に嵌合され、ナイロンリベット等の止め具等により固定され、その上に液晶表示部LCDと一体になった駆動回路基板PCB1が載置・保持される。

【0104】《バックライト支持体BLS》図32は、バックライト支持体BLSの上面図、後側面図、右側面図、左側面図、図33は、バックライト支持体BLSの上面側から見た斜視図である。

【0105】バックライト支持体BLSは、4本のバックライト（冷陰極蛍光管）BL（図37、図23参照）を支持する。SPCは穴（空間）であり、バックライト支持体BLSは枠体を成している。

【0106】バックライト支持体BLSは、4本のバックライトBLを白色のシリコンゴムSG（図37、図39参照）を介して支持するようになっている。SSはバックライト支持部で、ここにシリコンゴムSGを介して各バックライトBLの両端を支持するようになっている。なお、シリコンゴムSGは、バックライトBLの点燈領域内への異物侵入防止の役目もする。RHはバックライトBLの両端に接続されたリード線LD（図37参照）が通るリード線穴である。

【0107】SHLはバックライト支持体BLSに設けた4個の貫通穴で、下側ケースLCAのねじ穴LVHと一致し、図示しないねじによって下側ケースLCAに固定される。

【0108】SRMはバックライト支持体BLSの図32の左右両内側面に形成されたバックライトBL（4本のバックライトBLのうち外側の2本のバックライトBL）のバックライト光反射部で、下側ケースLCAのバックライト光反射山RM（図34、図36参照）の上面と同様にバックライトBLの光を液晶表示部LCDの方に効率良く反射するための複数の平面の組み合わせから構成されている（《下側ケース》の説明の欄参照）。なお、バックライト支持体BLSは、中間フレームMFR、下側ケースLCAと同じ白色の合成樹脂により成型により作られる。

【0109】《下側ケースLCA》図34は、下側ケースLCAの上面図（反射側）、後側面図、右側面図、左側面図、図35は、下側ケースLCAの下面図、図36

は、下側ケースLCAの上面側から見た斜視図、図38は、下側ケースLCAの断面図（図34の38-38切断線における断面図）である。

【0110】下側ケースLCAは、バックライトBL、バックライト支持体BLS、バックライトBL点燈用のインバータ回路基板IPCBの保持部材（バックライト収納ケース）であり、バックライトBLのバックライト光反射板を兼ねており、バックライトBLの光を最も効率良く反射する色である白色の合成樹脂で1個の型で一体成型することにより作られる。下側ケースLCAの上面には、この下側ケースLCAと一体に形成された3本のバックライト光反射山RMが形成され、バックライトBLのバックライト光反射面を構成している。3本のバックライト光反射山RMは、バックライトBLの光を液晶表示部LCDの方に効率良く反射するための複数の平面の組み合わせから構成されている。すなわち、バックライト光反射山RMの断面形状は、図38の断面図に示すように、バックライトBLの光を最も効率良く、反射するように計算により求められた曲線の近似直線で構成されている。なお、バックライト光反射山RMの高さは、反射光率を上げるため、バックライトBLの上面より高くなっている（図39参照）。このように、バックライトBLの収納ケースとバックライトBLのバックライト光反射板とを一体の部材で構成したので、部品点数を少なくでき、構造を簡略化でき、製造コストを低減できる。従って、装置の耐振動衝撃性、耐熱衝撃性を向上でき、信頼性を向上できる。また、下側ケースLCAは、合成樹脂で作られているので、インバータ回路基板IPCBの絶縁上有利である。

【0111】なお、LVHは4個のねじ穴であり、このねじ穴LVHとバックライト支持体BLSの貫通穴SHL（図32、図33参照）を介して図示しないねじによりバックライト支持体BLSが下側ケースLCAに固定される。LHLは4個の貫通穴であり、この貫通穴LHLと中間フレームMFRのねじ穴MVH（図28参照）を介して図示しないねじにより中間フレームMFRと下側ケースLCAとが固定される。IHLはナイロンリベット等の止め具が挿入されるインバータ回路基板IPCBの固定用穴、CWは外部と接続されるコネクタ用の切欠き、FKPはシールドケースSHDの固定用フックFKが嵌合する固定用突起である（図34の各側面図、図36参照）。

【0112】《バックライトBL》図37は、下側ケースLCAにバックライト支持体BLS、バックライトBL、インバータ回路基板IPCBを搭載した状態を示す上面図、後側面図、右側面図、左側面図、図39は、図37の39-39切断線における断面図である。

【0113】バックライトBLは、液晶表示部LCDの真下に配置される直下型バックライトである。バックライトBLは、4本の冷陰極蛍光管により構成され、バック



クライト支持体BLSにより支持され、バックライト支持体BLSを下側ケースLCAに図示しないねじを用いバックライト支持体BLSの貫通穴SHLおよび下側ケースLCAのねじ穴LVHを介して固定することによりバックライト収納ケースである下側ケースLCAに保持される。

【0114】ECLは冷陰極管の封止側（蛍光体を管の内表面に塗布したり、ガスを引いて真空にしたり、ガスを封入したりする側のことをいう）である。図37に示すように、並んで配置された4本のバックライトBLの封止側ECLが左右交互（図37では上下交互）に配置されている（千鳥配置）。これにより、蛍光管における蛍光体塗布に起因して生じる表示画面の色温度の左右傾斜（封止側の方が色温度が高い）を目立たなくでき、表示品質を向上できる。

【0115】《インバータ回路基板IPCB》インバータ回路IPCBは、4本のバックライトBLの点燈用回路基板で、図37に示すように、下側ケースLCAに載置され、下側ケースLCAの固定用穴IHL（図34～図36参照）を介して図示しないナイロンリベット等の止め具によって固定される。インバータ回路IPCB上には2個のトランスTF1、TF2や、コンデンサ、コイル、抵抗等の電子部品が搭載されている。なお、熱源となるインバータ回路基板IPCBは、装置の上部側（図37では、上面図の左側に示す）に配置されるので、放熱性が良い。また、インバータ回路基板IPCBは装置の上部側に配置され、L字形の駆動回路基板PCB2は装置の下部側および左側（図27の中間フレームMFRの上面図の右および下の線のL字領域）に配置され、熱源となるインバータ回路基板IPCBと駆動回路基板PCB2とは、放熱性の点とモジュール全体の厚さを薄くする点から上下に重ならないように配置されている。

【0116】《バックライトBL、バックライト支持体BLS、インバータ回路基板IPCB》バックライト支持体BLSに、それぞれ両端にリード線LD（図37参照）が付いた4本のバックライトBLを嵌め込んだ後、（バックライト支持体BLSとインバータ回路基板IPCBを下側ケースLCAに収納・固定する前に）各バックライトBLのリード線LDをインバータ回路基板IPCBに半田付けする。これにより、バックライトBLとバックライト支持体BLSとインバータ回路基板IPCBとで1個のユニットが構成される（図23、図37参照）。この状態でバックライトBLの点燈試験が可能である。従来は、バックライトとインバータ回路基板とをバックライト収納ケースにそれぞれ固定した後、バックライトのリード線をインバータ回路基板に半田付けする構成だったので、半田付けのためのスペースが非常に狭く、作業性が悪かったが、本モジュールでは、バックライトBLおよびインバータ回路基板IPCBを下側ケー

スLCAに固定する前に、バックライトBLがバックライト支持体BLSに支持された状態でバックライトBLのリード線LDをインバータ回路基板IPCBに半田付けできるので、作業性が良い。また、不良部品が生じた場合の部品交換も容易である。点燈試験が終了したら、図37に示すように、インバータ回路基板IPCBをナイロンリベット等の止め具を用いて下側ケースLCAの固定用穴IHLを介して固定し、バックライト支持体BLSを図示しないねじにより4個の貫通穴SHLとねじ穴LVH（図36、図34参照）を介して下側ケースLCAに固定する。

【0117】また、従来は、冷陰極管を6本とインバータ回路基板2個を用い、（それぞれ2個のトランスを有する）インバータ回路基板1個当たり冷陰極管3本ずつを点燈させる構成で、2個のインバータ回路基板がバックライト収納ケース内のバックライトの上下両側（図37で言えば下側ケースLCAの上面図の左右）に配置されていたため、バックライト部全体の寸法が大きくなり、また、熱源である2個のインバータ回路基板が上下両側に配置されるため、放熱性の点で問題があった。しかし、本装置では、インバータ回路基板IPCBが1個だけなので、バックライト部全体の寸法を小さくできると共に、放熱性も良い。また、本装置では、インバータ回路基板IPCBは、装置の上部側（図37では、上面図の左側に示す）に配置されているので、放熱性が良い。

【0118】《バックライトBLの点燈周波数と液晶表示パネルPNLの水平同期周波数》図40は、液晶表示装置の駆動電圧のタイミングを示す図である。図において、 $V_c$ は調光用のコントロール電圧、 $V_{BL}$ はバックライトBLの印加電圧、 $V_H$ は液晶表示パネルPNLの水平同期周波数を示す。バックライト印加電圧 $V_{BL}$ は周波数の高い成分を調光用コントロール電圧 $V_c$ によりチョッピングすることにより得られ、調光用コントロール電圧 $V_c$ のデューティ比を変化させることにより、バックライトBLの調光が行なわれる。バックライト印加電圧 $V_{BL}$ としては5kHzから500kHz程度の周波数が用いられるが、一般的には10kHzから50kHzの範囲で設定することが多い。

【0119】図41は、液晶表示パネルPNLの画面に現われる横すじを示す模式図である。図において、斜線を付した部分が横すじの暗い部分であり、 $B_{P1}$ は横すじの暗い部分の輝度、 $B_{P2}$ は横すじの明るい部分の輝度、 $\Delta B_P$ は $B_{P2}$ と $B_{P1}$ との輝度の差である。横すじは画面の上下方向に移動して見えることが多く、横すじの間隔、移動速度もバックライトBLの点燈周波数と液晶表示パネルPNLの水平同期周波数との差の大小により変化する。

【0120】図42は、液晶表示パネルPNLの画面の同一箇所での輝度変化を示す図である。 $\Delta B_P$ は $B_{P2}$ と

$B_{P1}$ との輝度の差である。上述のように、横すじは上下方向に移動するため、同一箇所では輝度を測定すると、周期的に輝度に変化するように見える。

【0121】図43(a)は、液晶表示パネルの信号電圧 $V_{sig}$ と画面輝度 $B_P$ との関係を示す図、図43(b)は、横すじの強度、すなわち、横すじの明るい部分と暗い部分との輝度の差 $\Delta B_P$ (相対値)と、バックライトの点燈周波数と液晶表示パネルの水平同期周波数との差 $\Delta f$ (バックライトの点燈周波数-水平同期周波数。単位:  $\text{kHz}$ )との関係を示す図である。

【0122】単純マトリクス方式の液晶表示装置では、バックライトのチョッピング周波数に対して、液晶表示パネルの垂直同期周波数が整数倍になると、液晶表示パネルの画面に横すじが発生したが、アクティブ・マトリクス方式の液晶表示装置では、横すじは異なる要因により発生している。横すじの発生は、図40(a)に示す液晶表示パネルの表示状態により異なり、Cの表示状態、すなわち、中間調表示の場合に横すじが画面上で最も顕著に現われる。また、横すじの発生の状況については、図40(b)に示すように、バックライトBLの冷陰極蛍光管の点燈周波数 $f_{BL}$ と液晶表示パネルPNLの水平同期周波数 $f_H$ との差 $\Delta f$ が大きくなる程、横すじの強度 $\Delta B_P$ は小さくなり、この差 $\Delta f$ が約 $4\text{kHz}$ 以上では横すじが見えなくなる。すなわち、バックライトBLの点燈周波数 $f_{BL}$ と、液晶表示パネルPNLの水平同期周波数 $f_H$ とを約 $4\text{kHz}$ 以上の差をもたせると、バックライトBLの点滅(高周波の輝度の強弱)と液晶表示パネルPNLの点滅との干渉効果をなくすることができ、液晶表示パネルPNLの画面に現われる横すじの発生を抑制することができる。特に、中間調表示において良好な画面が得られ、表示品質が向上する。なお、バックライトBLの点燈周波数 $f_{BL}$ と、液晶表示パネルPNLの水平同期周波数 $f_H$ とを約 $4\text{kHz}$ 以上の差をもたせる場合においては、バックライトBLの点燈周波数 $f_{BL}$ を、液晶表示パネルPNLの水平同期周波数 $f_H$ より約 $4\text{kHz}$ 以上高周波にしてもよいし、反対に、液晶表示パネルPNLの水平同期周波数 $f_H$ を、バックライトBLの点燈周波数 $f_{BL}$ より約 $4\text{kHz}$ 以上高周波にしてもよい。

【0123】以上本発明を上記実施例に基づいて具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

#### 【0124】

【発明の効果】以上説明したように、本発明によれば、液晶表示パネルの画面に現われる横すじの発生を抑制することができ、表示品質を向上することができる。

#### 【図面の簡単な説明】

【図1】この発明を適用したアクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部の一画素とその

周辺を示す要部平面図である。

【図2】図1の2-2切断線における1画素とその周辺を示す断面図である。

【図3】図1の3-3切断線における付加容量 $C_{add}$ の断面図である。

【図4】図1に示す画素を複数配置した液晶表示部の要部平面図である。

【図5】図1に示す画素の層g2、ASのみを描いた平面図である。

10 【図6】図1に示す画素の層d1、d2、d3のみを描いた平面図である。

【図7】図1に示す画素の画素電極層、遮光膜およびカラーフィルタ層のみを描いた平面図である。

【図8】図6に示す画素配列の画素電極層、遮光膜およびカラーフィルタ層のみを描いた要部平面図である。

【図9】ゲート端子 $G_{TM}$ とゲート配線 $G_L$ の接続部近辺を示す平面と断面の図である。

【図10】ドレイン端子 $D_{TM}$ と映像信号線 $D_L$ との接続部付近を示す平面と断面の図である。

20 【図11】アクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部を示す等価回路図である。

【図12】図1に示す画素の等価回路図である。

【図13】基板SUB1側の工程A~Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図14】基板SUB1側の工程D~Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

30 【図15】基板SUB1側の工程G~Iの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図16】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図17】図16の周辺部をやや誇張し更に具体的に説明するためのパネル平面図である。

【図18】上下基板の電気的接続部を含む表示パネルの角部の拡大平面図である。

【図19】マトリクスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

40 【図20】左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

【図21】駆動回路を構成する集積回路チップCHIがフレキシブル配線基板上に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

【図22】テープキャリアパッケージTCPを液晶表示パネルPNLの映像信号回路用端子 $D_{TM}$ に接続した状態を示す要部断面図である。

【図23】液晶表示モジュールの分解斜視図である。

50 【図24】液晶表示モジュールのシールドケースの上面図、前側面図、後側面図、右側面図、左側面図である。



【図25】シールドケースの上面側から見た斜視図である。

【図26】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図27】中間フレームの上面図、前側面図、後側面図、右側面図、左側面図である。

【図28】中間フレームの下面図である。

【図29】中間フレームの上面側から見た斜視図である。

【図30】中間フレームに搭載される駆動回路基板の下面図である。

【図31】液晶表示部の駆動回路基板（上面が見える）と中間フレームの駆動回路基板（下面が見える）との接続状態を示す上面図である。

【図32】バックライト支持体の上面図、後側面図、右側面図、左側面図である。

【図33】バックライト支持体の上面側から見た斜視図である。

【図34】下側ケースの上面図（反射側）、後側面図、右側面図、左側面図である。

【図35】下側ケースの下面図である。

【図36】下側ケースの上面側から見た斜視図である。

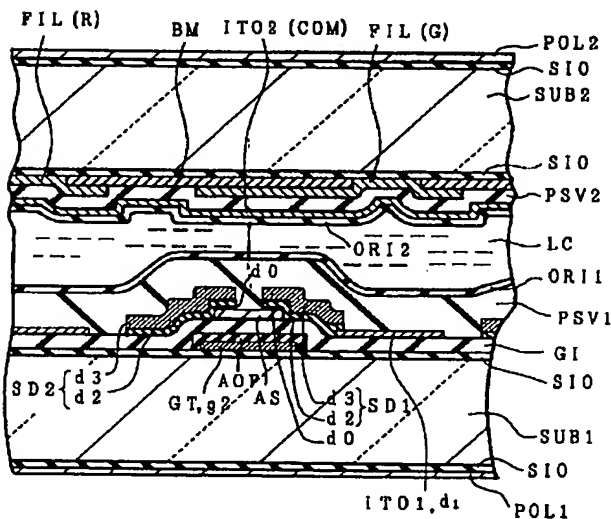
【図37】下側ケースにバックライト支持体、バックライト、インバータ回路基板を搭載した状態を示す上面図、後側面図、右側面図、左側面図である。

【図38】下側ケースの断面図（図34の38-38切断線における断面図）である。

【図39】図37の39-39切断線における断面図で

【図2】

図2



ある。

【図40】液晶表示装置の駆動電圧のタイミングを示す図である。

【図41】液晶表示パネルの画面に現われる横すじを示す模式図である。

【図42】液晶表示パネルの画面の同一箇所での輝度変化を示す図である。

【図43】(a)は、液晶表示パネルの信号電圧と画面輝度との関係を示す図、(b)は、横すじの強度と、バックライトの点灯周波数と液晶表示パネルの水平同期周波数との差との関係を示す図である。

#### 【符号の説明】

SUB…透明ガラス基板、GL…走査信号線、DL…映像信号線

GI…絶縁膜、GT…ゲート電極、AS…i型半導体層

SD…ソース電極またはドレイン電極、PSV…保護膜、BM…遮光膜

LC…液晶、TFT…薄膜トランジスタ、ITO…透明画素電極

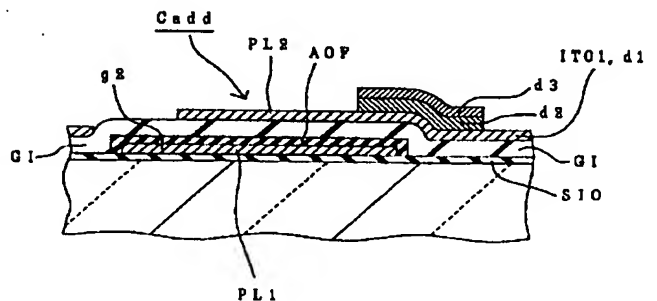
g、d…導電膜、Cadd…保持容量素子、AOF…陽極酸化膜

AO…陽極酸化マスク、GTM…ゲート端子、DTM…ドレイン端子

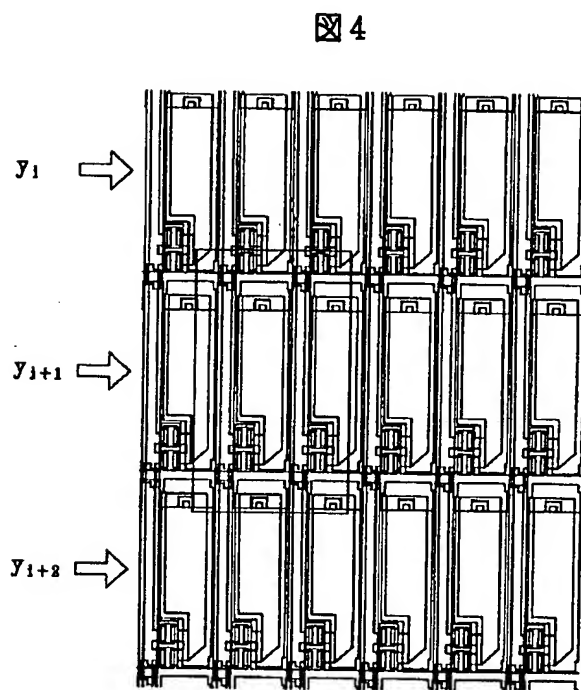
SHD…シールドケース、PNL…液晶表示パネル、SPB…光拡散板、MFR…中間フレーム、BL…バックライト、BLS…バックライト支持体、LCA…下側ケース、RM…バックライト光反射山。

【図3】

図3

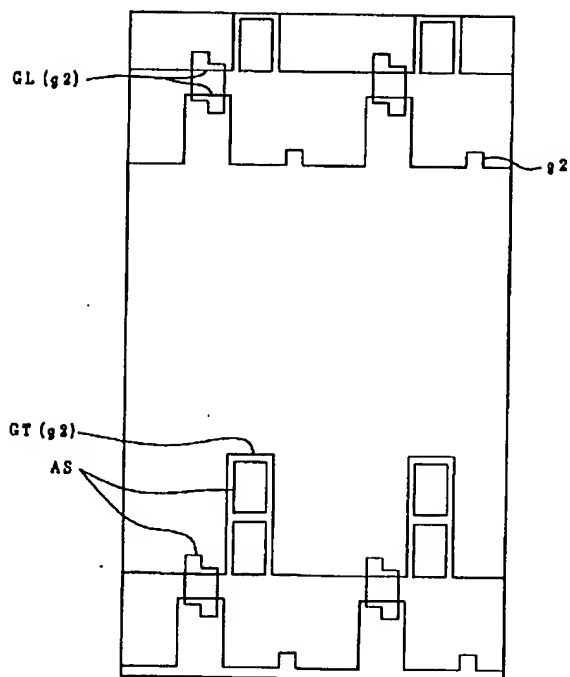


【図 4】



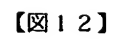
【図 5】

图 5



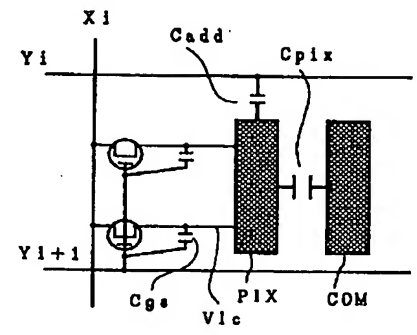
【图7】

图 7



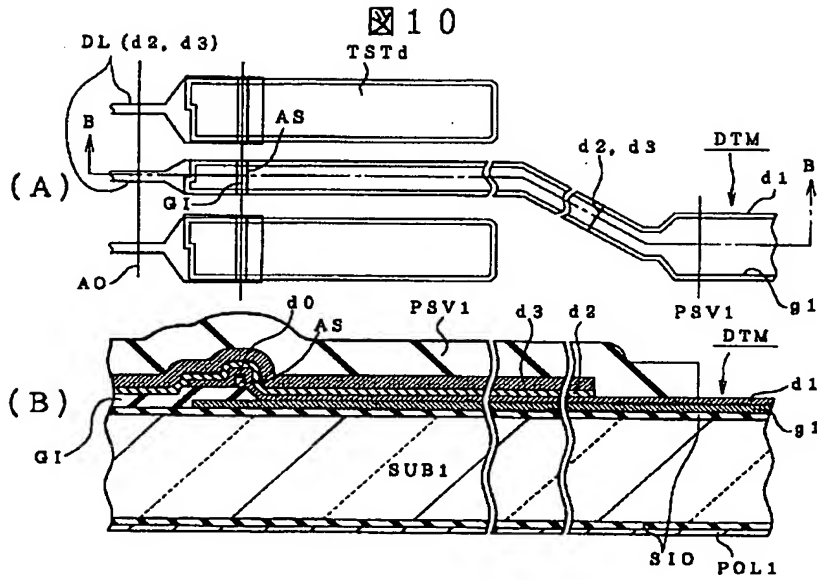
☒ 1 2

(B)



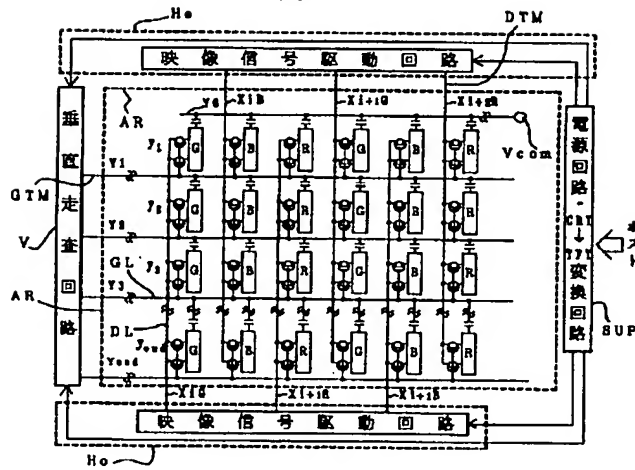
GTM:ゲート端子、GL:走査信号線、AO:陽極酸化マスク SIO POL1

【図10】



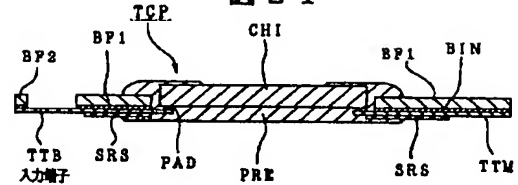
【図11】

図11



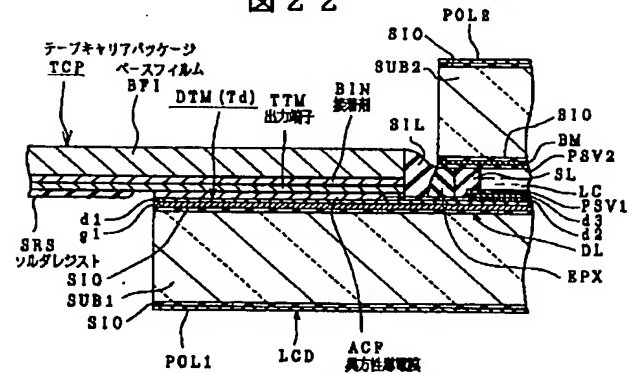
【図21】

図21



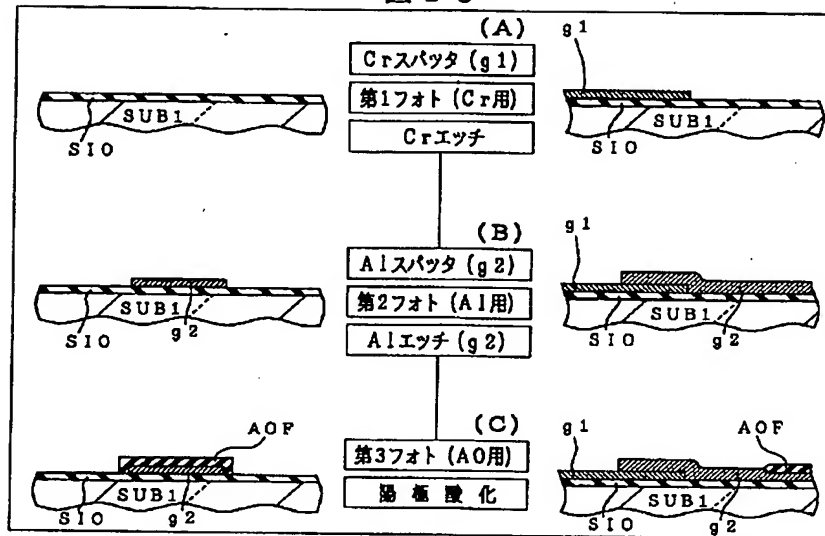
【図22】

図22



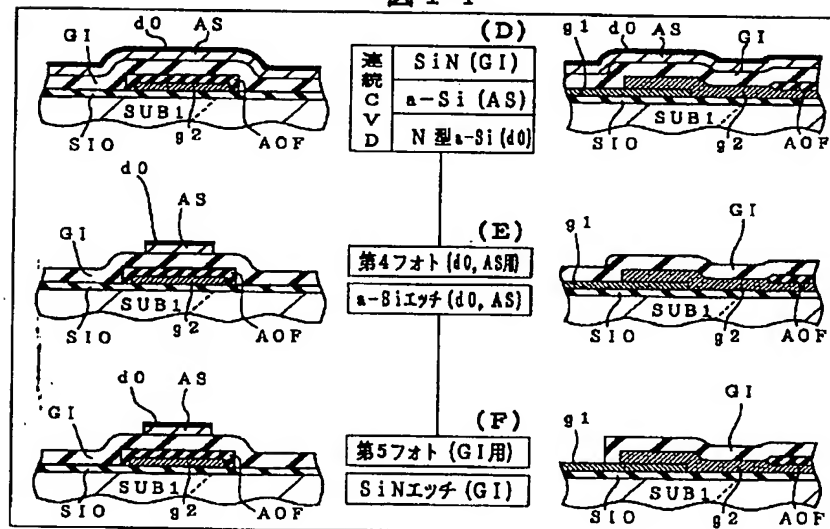
【図13】

図13



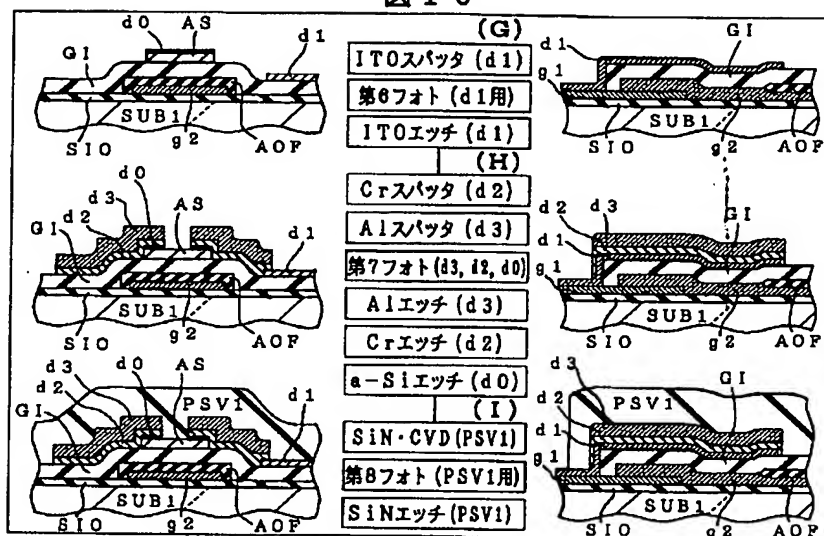
【図14】

図14

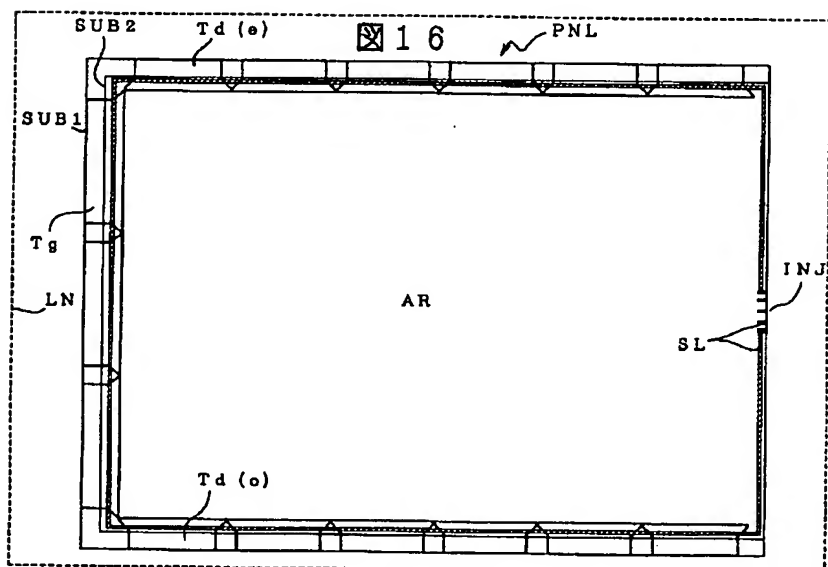


【図15】

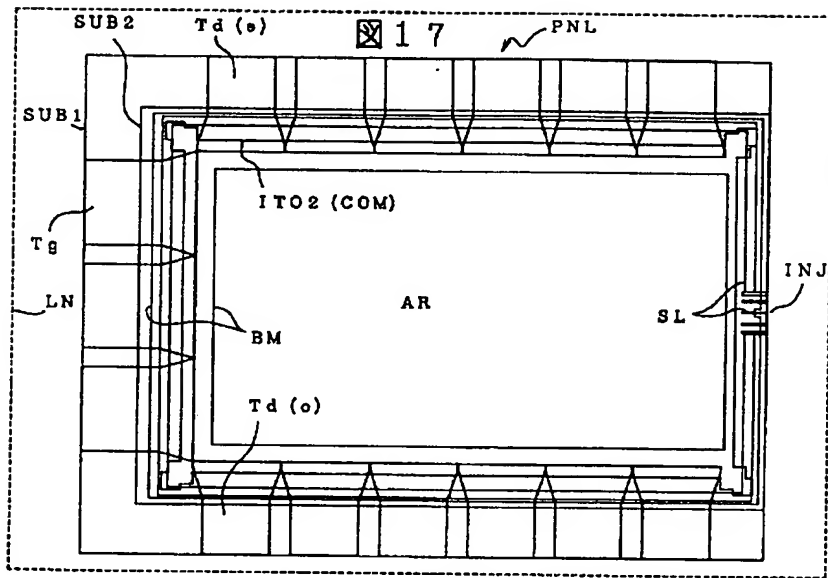
図15



【図16】

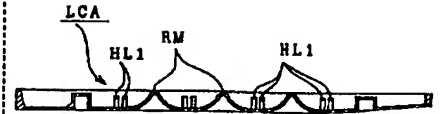


【図17】

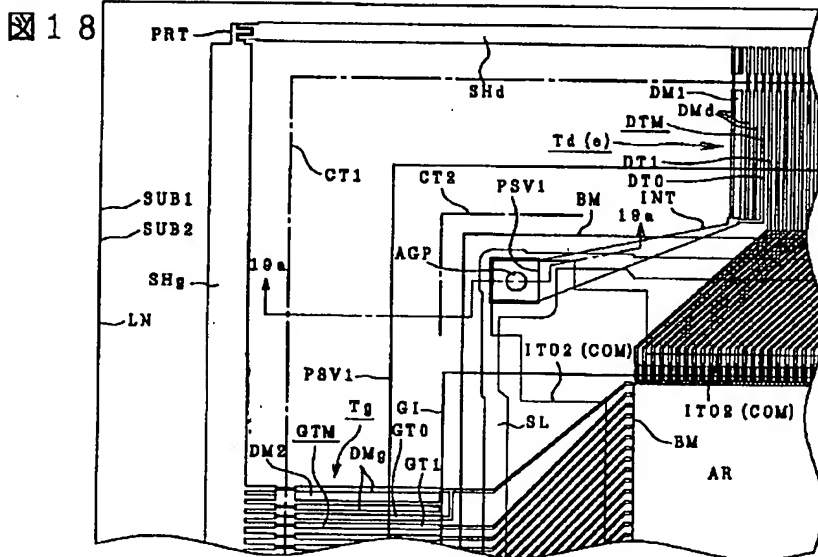


【図38】

38

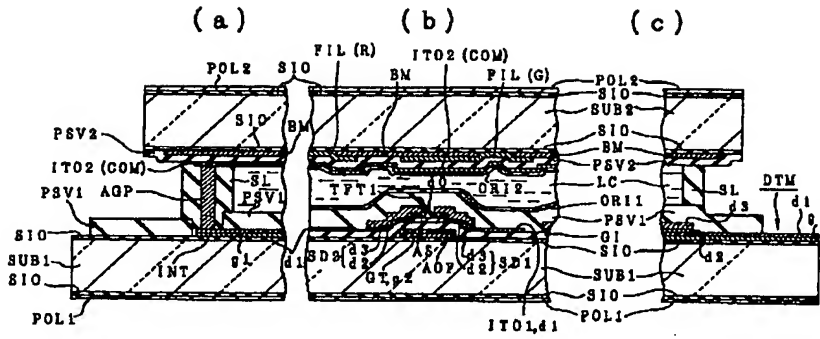


【図18】



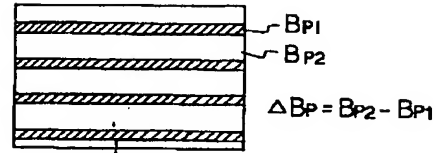
【図19】

図19



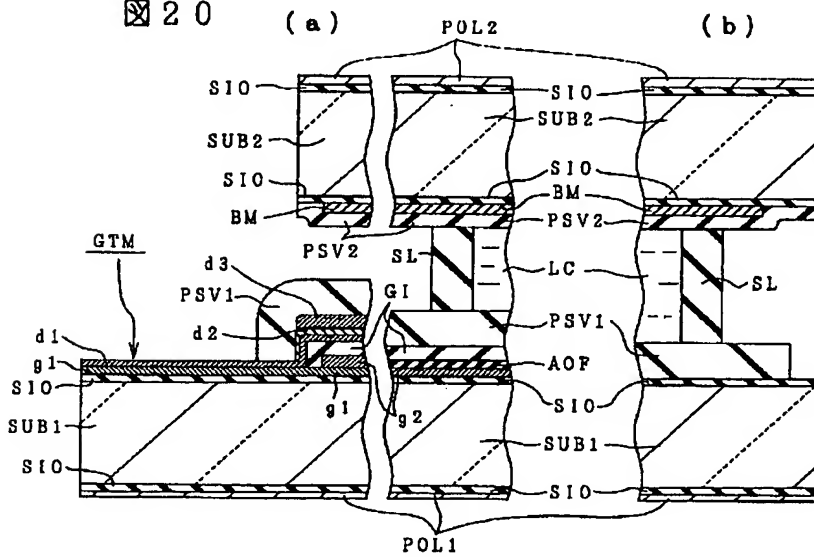
【図41】

図41



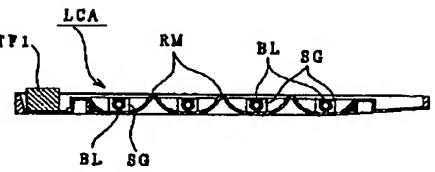
【図20】

図20



【図39】

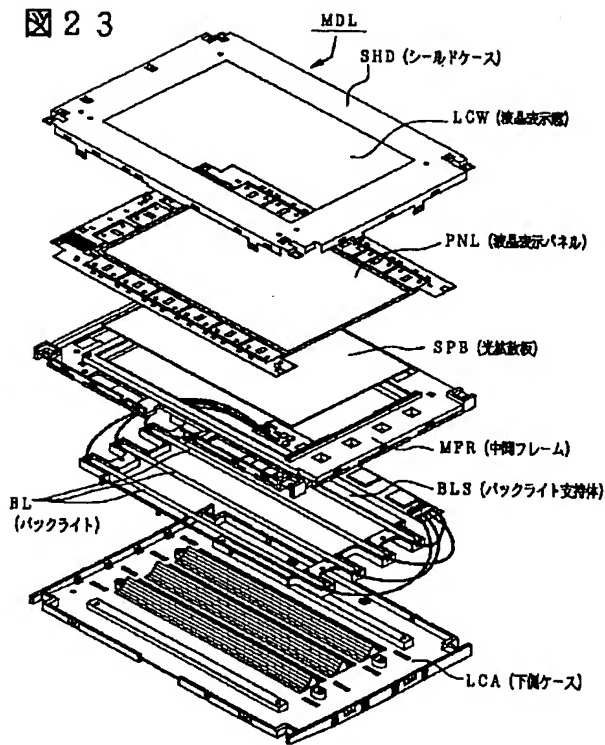
図39



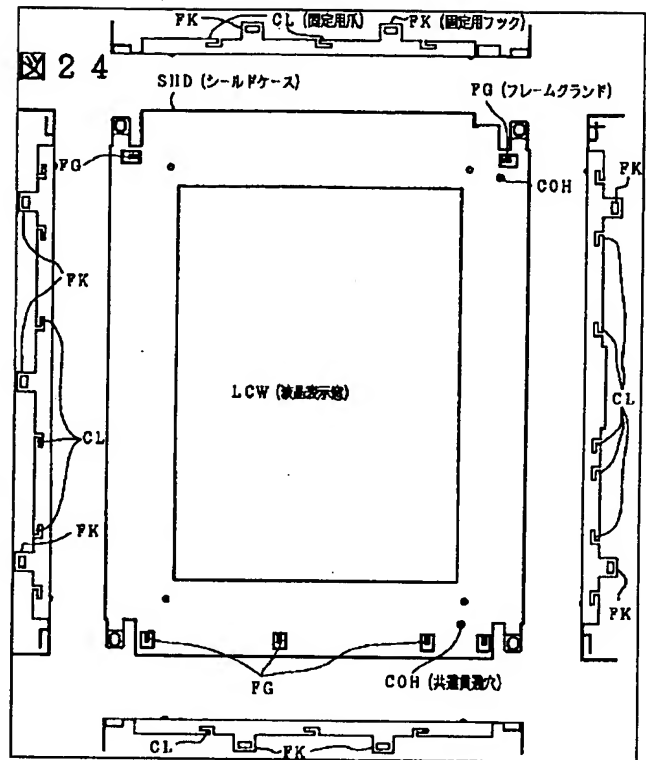


【図23】

図23

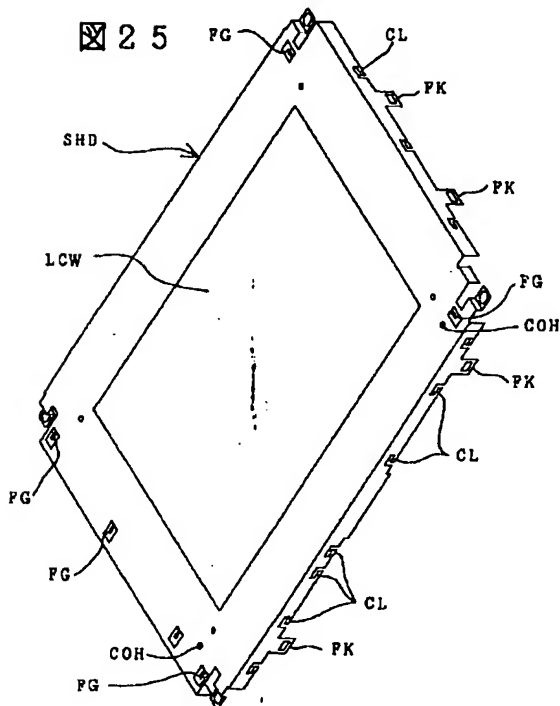


【図24】



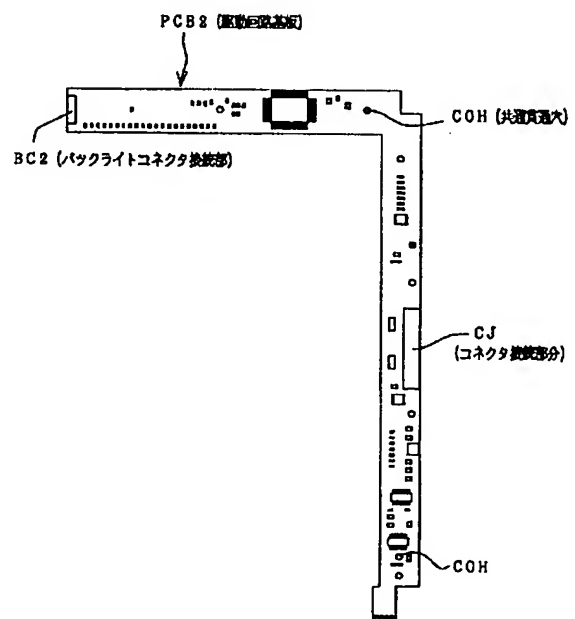
【図25】

図25

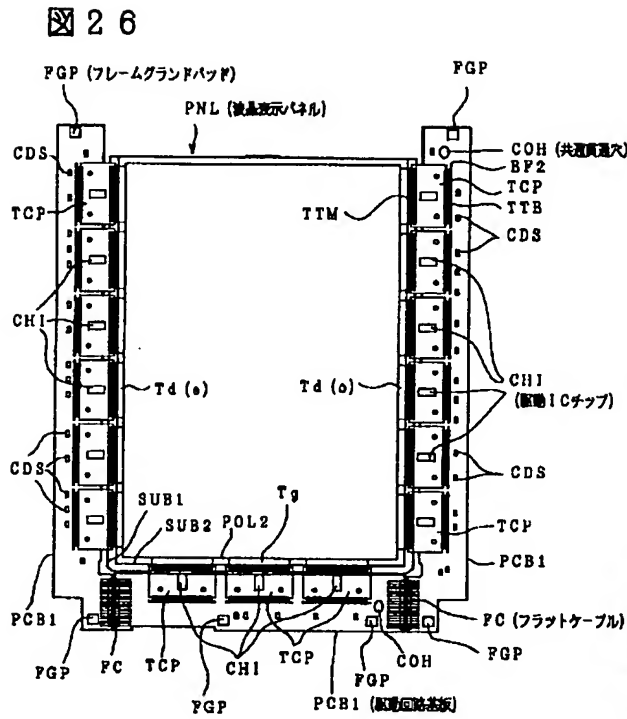


【図30】

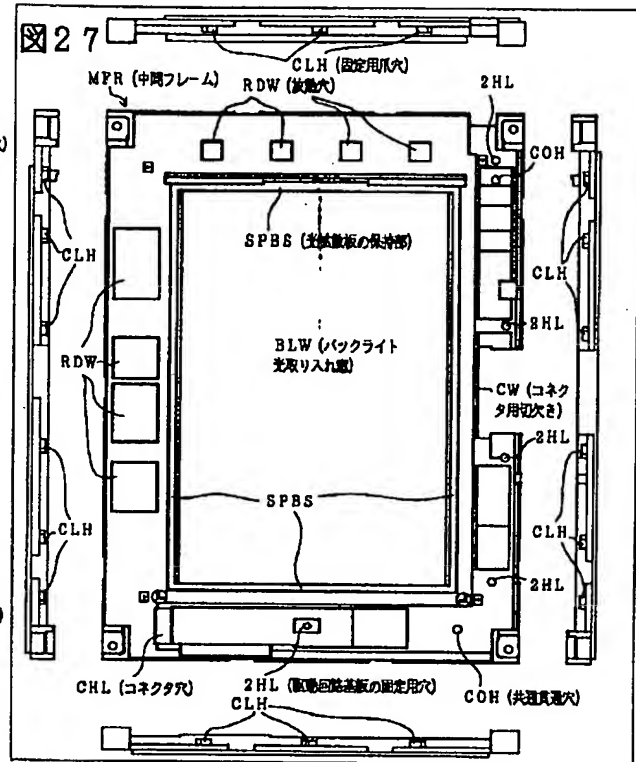
図30



【図26】

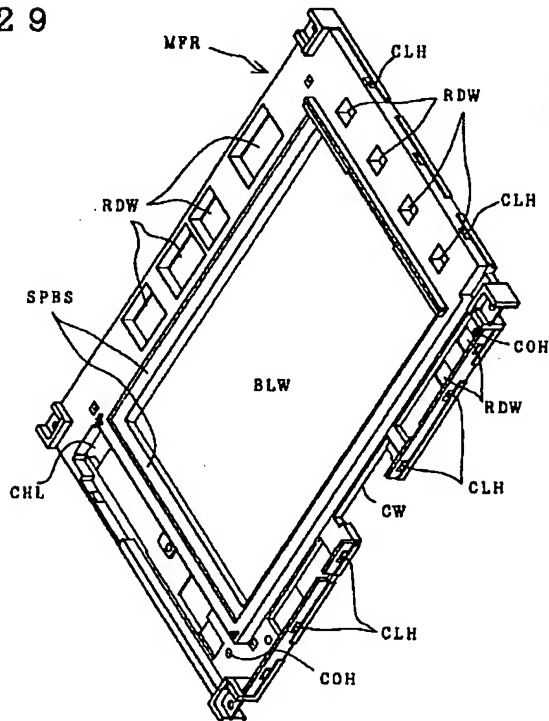


【図27】



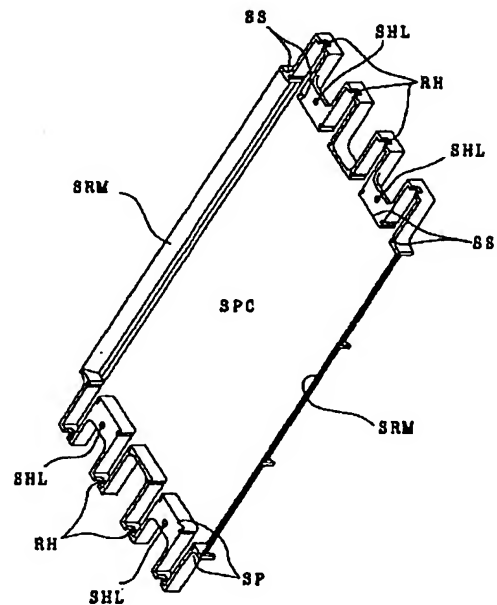
【図29】

図29

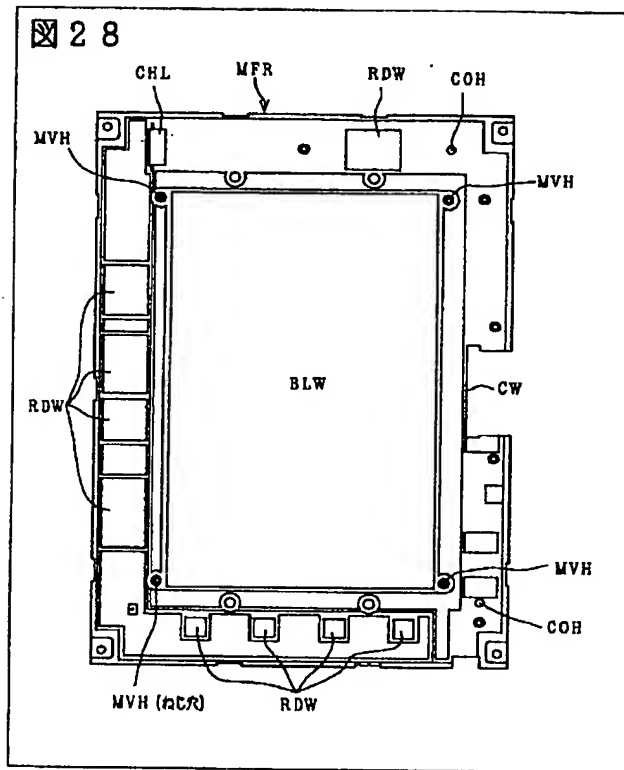


【図33】

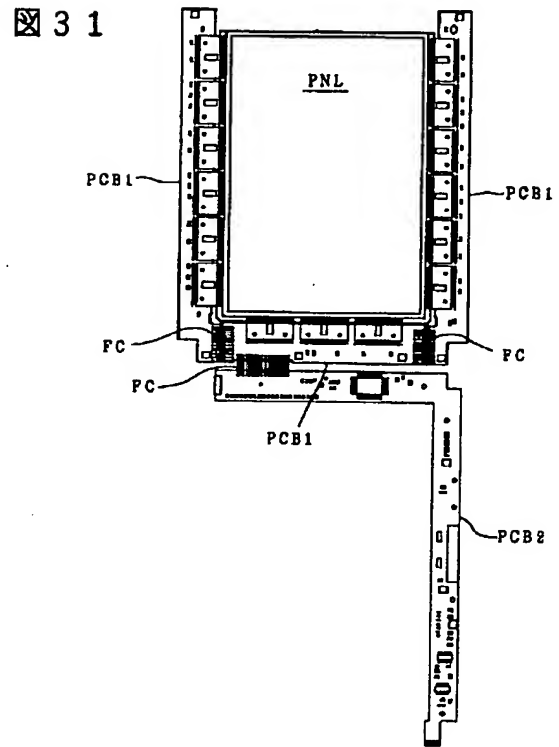
図33



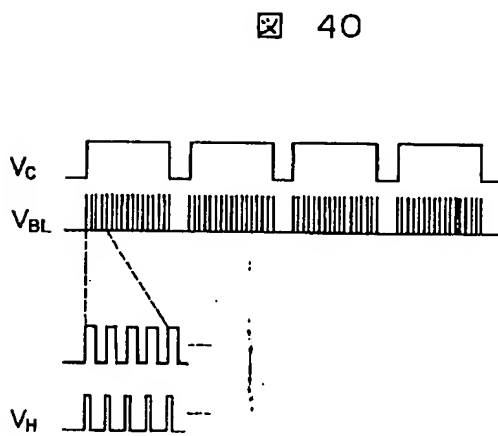
【图 2 8】



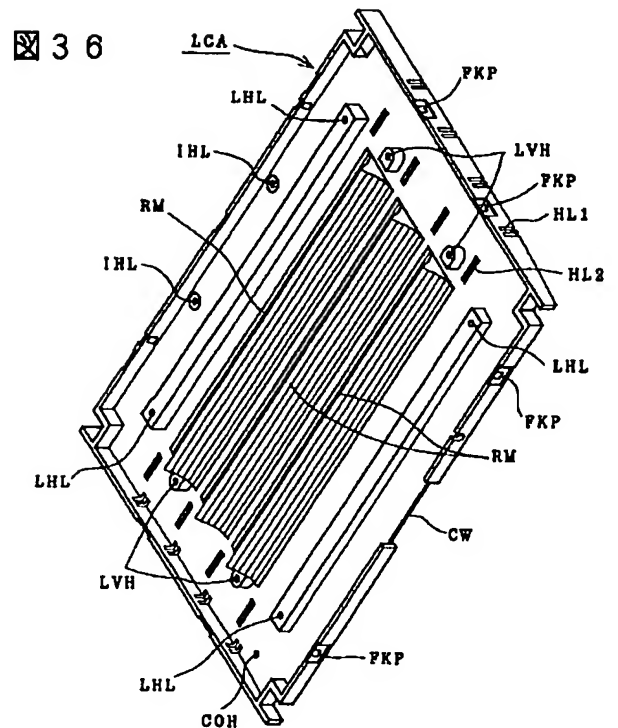
【図 3 1】



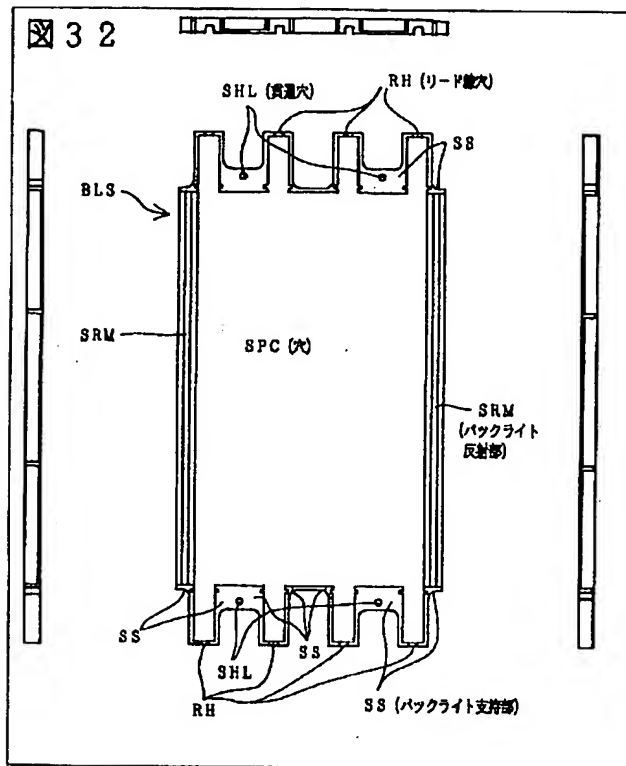
【図 40】



【图 3 6】

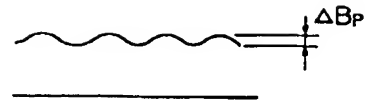


【図32】



【図42】

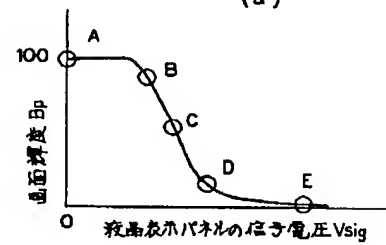
図 42



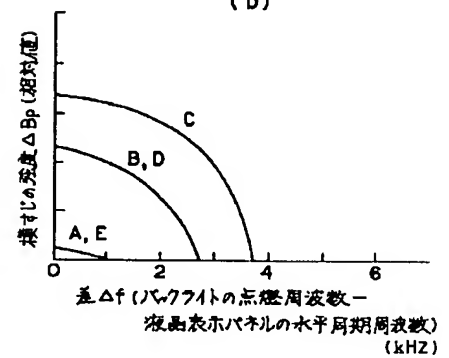
【図43】

図 43

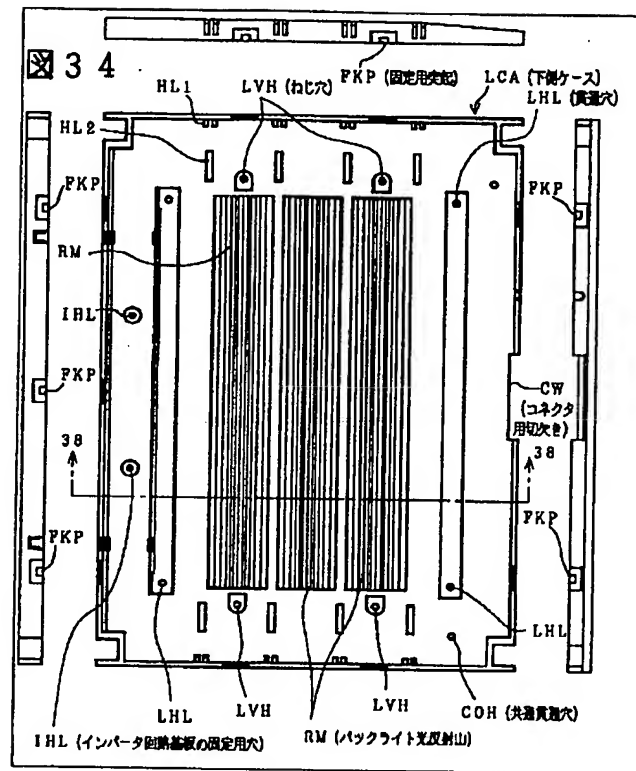
(a)



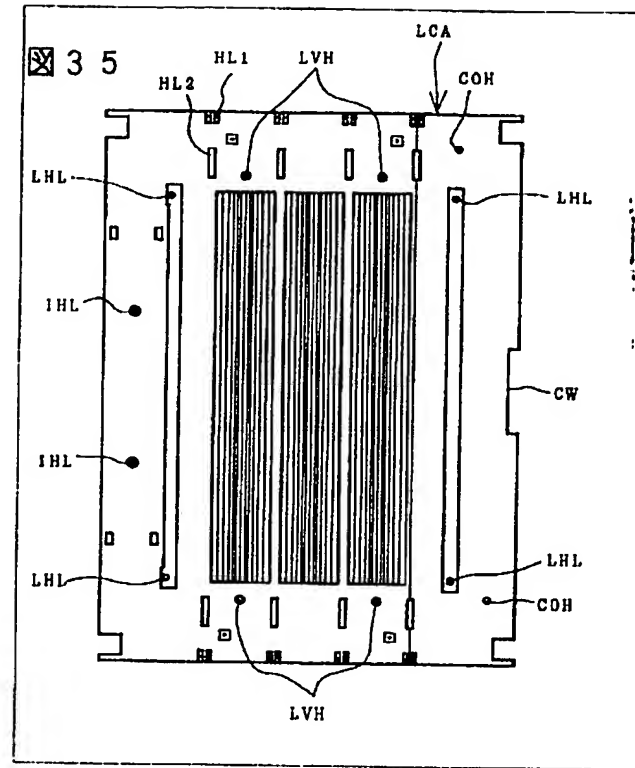
(b)



【図34】



【図35】



【図37】

